

CLIPPEDIMAGE= JP411297942A  
PAT-NO: JP411297942A  
DOCUMENT-IDENTIFIER: JP 11297942 A  
TITLE: FERROELECTRIC MEMORY DEVICE AND ITS MANUFACTURE

PUBN-DATE: October 29, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SHINOHARA, SOTA	N/A
AMANUMA, KAZUSHI	
MURAO, YUKINOBU	N/A
KATO, ARIMITSU	
TAKEUCHI, TSUNEO	N/A
HAYASHI, YOSHIHIRO	
	N/A
	N/A
	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP10095846  
APPL-DATE: April 8, 1998

INT-CL\_(IPC): H01L027/10; H01L027/04 ; H01L021/822 ; H01L027/108 ; H01L021/8242  
; H01L021/8247 ; H01L029/788 ; H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To enhance reliability in a data overwrite life span, by a method wherein an upper electrode formed on a ferroelectric film contains a lamination containing a conductive oxide layer of a metal connected to the ferroelectric film.

SOLUTION: A ferroelectric capacity element contains a lower electrode 3, an upper electrode 5 and a ferroelectric film intervened therebetween. A contact hole through the upper electrode 5 is provided in a protection film, and the ferroelectric capacity element through the contact hole is electrically connected to a memory transistor via a wiring layer 10. A wiring layer 6 as a bit line and the wiring layer 10 connected to the upper electrode 5 has a structure of laminating a metal silicide layer such as tungsten silicide (WSi

COPYRIGHT: (C)1999,JPO

〈11〉特許出願公開番号

特開平11-297942

(43)公開日 平成11年(1999)10月29日

(51) Int.Cl. <sup>8</sup>	識別記号	F I	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
27/04		27/04	C
21/822		27/10	6 5 1
27/108		29/78	3 7 1
21/8242			

審査請求 有 請求項の数12 OL (全 13 頁) 最終頁に続く

(21)出願番号	特願平10-95846	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成10年(1998)4月8日	(72)発明者	篠原 壮太 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72)発明者	天沼 一志 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72)発明者	村尾 幸信 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 工藤 実 (外1名)

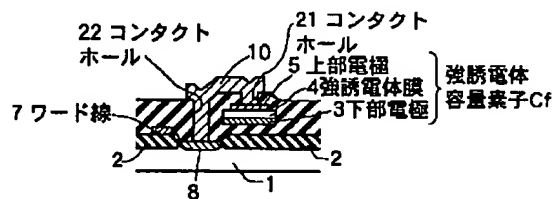
最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置およびその製造方法

(57) 【要約】

【課題】 加熱工程における強誘電体容量素子の残留分極値の低下を抑制する。これによりメモリセルの記憶保持特性や、書き換え疲労耐性の点で、製品の信頼性を向上させる。

【解決手段】 強誘電体容量素子の上部電極5をIrまたはIrO2を主体として構成し、上部電極とセルトランジスタの拡散層を接続する配線層10または上部電極近傍を通配線層の最下位層をタングステンまたはタングステンシリサイド(WSix)を含む材料で構成する。



## 【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を介して形成された強誘電体容量素子を含み、前記強誘電体容量素子は、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極からなり、前記上部電極は、前記強誘電体膜に接続された第1の金属の導電性酸化物層を含む積層を含む強誘電体メモリ装置。

【請求項2】前記第1の金属はイリジウム(Ir)であり、前記導電性酸化物層は酸化イリジウム(IrO<sub>2</sub>)層である請求項1に記載の強誘電体メモリ装置。

【請求項3】前記上部電極の前記積層は、前記導電性酸化物層と、イリジウムまたは白金の層を含む請求項2に記載の強誘電体メモリ装置。

【請求項4】配線層と接続される前記上部電極の前記積層の最上層は、イリジウムまたは白金の層である請求項2に記載の強誘電体メモリ装置。

【請求項5】前記上部電極に接続された前記配線層を有し、前記配線層の最下層はタングステンまたは金属シリサイド層で形成されていることを特徴とする請求項1乃至4のいずれかに記載の強誘電体メモリ装置。

【請求項6】前記上部電極から2μm以内の前記配線層の部分の最下層はタングステンまたは金属シリサイド層で形成されている請求項5に記載の強誘電体メモリ装置。

【請求項7】前記配線層が、前記タングステンまたは金属シリサイド層の上に積層された窒化チタン層、及びアルミニウムを主成分とする合金層を含むことを特徴とする請求項5または6に記載の強誘電体メモリ装置。

【請求項8】前記金属シリサイド層がタングステンシリサイド(WSi<sub>x</sub>)であることを特徴とする請求項5乃至7のいずれかに記載の強誘電体メモリ装置。

【請求項9】前記強誘電体容量素子の強誘電体膜がPtZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>またはSrBi<sub>2</sub>(Ta<sub>x</sub>Nb<sub>2-x</sub>)<sub>2</sub>O<sub>9</sub>である請求項1乃至8のいずれかに記載の強誘電体メモリ装置。

【請求項10】半導体基板上に絶縁膜を介して、下部電極、上部電極、および該上部電極と該下部電極の間に挟まれた強誘電体膜とを含む強誘電体容量素子とを形成する工程と、

該強誘電体容量素子上に保護膜を形成する工程と、  
該保護膜に前記上部電極に通じるコンタクトホールを設ける工程と、

該コンタクトホール内および前記保護膜上に金属シリサイド層またはタングステン層を形成する工程とを有することを特徴とする強誘電体メモリ装置の製造方法。

【請求項11】前記金属シリサイド層またはタングステン(W)層を形成する工程の前に、上部電極または下部電極の表面層をエッチングする工程をふくむことを特徴とする請求項10に記載の強誘電体メモリ装置の製造方法。

【請求項12】前記金属シリサイド層またはタングステン層を形成する工程の後に、アルミニウム、チタンまたは窒化チタンを主成分とする配線層を形成することを特徴とする請求項10または11に記載の強誘電体メモリ装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

【0002】本発明は、半導体基板上に形成され、格納されたデータを保持するための強誘電体容量素子とメモリセルトランジスタとを備える強誘電体メモリ装置、及びその製造方法に関する。特に、本発明は、強誘電体メモリ装置の強誘電体容量素子とその配線層に関する。

## 【0003】

## 【従来の技術】

【0004】近年、自発分極特性を有する強誘電体膜を容量絶縁膜とする強誘電体メモリ装置の技術開発が活発に行われている。強誘電体メモリ装置は、半導体基板上に形成された強誘電体容量素子の分極状態を利用することで情報を記憶することができる。

【0005】図22から図25は強誘電体メモリ装置を構成する単位メモリセルの一例を示す。図22は強誘電体メモリセルの平面配置図である。図23は、図22に示される線a-a'に沿って切ったときの強誘電体メモリセルの断面を示し、図24は、図22に示される線b-b'に沿って切ったときの強誘電体メモリセルの断面を示す。図25は強誘電体メモリセルの等価回路を示している。

【0006】図25を参照して、メモリセルMCは電界効果トランジスタTrとそのトランジスタのソース/ドレインの一方に接続された強誘電体容量素子Cfによって構成されている。トランジスタTrのソース/ドレインの他方はビット線BLに接続され、そのトランジスタTrのゲート電極はワード線WLに接続されている。強誘電体容量素子Cfの他方の電極はプレート線PLに接続されている。このように構成されたメモリセルMCをマトリックス状に配列することにより、大規模不揮発性強誘電体メモリ装置を構成することができる。次にその強誘電体メモリ装置の動作について説明する。

【0007】強誘電体メモリ装置の強誘電体容量素子Cfは、図26に示すように、印加電圧の履歴に依存する分極特性を示す。ただし図26では、プレート線側の電位がトランジスタTr側の電位より高いときが正(+)の方向として示されている。

【0008】今、図25に示される強誘電体メモリセルにおいて、ワード線WLとビット線BLとに電圧Vcc、たとえば5Vを印加し、プレート線PLに0Vを印加すると、強誘電体容量素子Cfは、図26に分極状態Aで示される状態となる。この状態で、ビット線BLの電圧のみを0Vに落とすと、強誘電体容量素子Cfは、図2

6に分極状態Bで示される状態となる。この状態をたとえば"1"に対応させるとメモリセルMCには"1"が書き込まれたことになる。また、ワード線WLとプレート線PLとに電圧Vccを印加し、ビット線BLに0Vを印加すると、強誘電体容量素子Cfは図26に分極状態Cで示される状態となる。この状態からプレート線PLの電圧を0Vに落とすと、強誘電体容量素子Cfは、図26に分極状態Dで示される状態となる。これによりメモリセルにはたとえば"0"が書き込まれたことになる。印加電圧0における分極状態、すなわち状態DとBの状態における分極値の差(残留分極値と称する)が大きいことが、強誘電体メモリ素子としての記憶保持特性や書き換え疲労耐性等の信頼性を向上する上で好ましい。

【0009】次にこのメモリセルの構造について説明する。

【0010】図22の線a-a'に沿った断面図が図23に示され、点線b-b'に沿った断面図が図24に示されている。図22、図23、図24に示すように、p型シリコン基板1の表面領域内にソース/ドレインn<sup>+</sup>拡散層8が形成され、p型シリコン基板上にゲート絶縁膜(図示せず)を介してゲート電極7が形成されている。これによりセルトランジスタTrである電界効果トランジスタが構成されている。

【0011】主にAlからなるビット線BL6は電界効果トランジスタTrのソース/ドレイン拡散層8の一方に接続されている。電界効果トランジスタ上には層間絶縁膜(SiO<sub>2</sub>)をはさんで、下部電極3、強誘電体膜4、上部電極5によって構成される強誘電体容量素子Cfが形成されている。上部電極5は配線層10によって電界効果トランジスタTrのソース/ドレイン拡散層8に接続されている。本従来例では、ワード線WL7は電界効果トランジスタのゲート電極を兼ねており、プレート線PL3は、強誘電体容量素子Cfの下部電極3を兼ねている。強誘電体膜4はPZT(PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>)、SBT(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>)等を用いて形成される。

【0012】強誘電体膜は通常酸化雰囲気中で形成され、また強誘電体膜形成後に強誘電体膜の安定化のために酸素雰囲気中でのアニールが必要となることが多い。このため、下部電極3および上部電極5としては、耐酸化性の貴金属(たとえばPt、Ir)、あるいは導電性酸化物(たとえばIrO<sub>2</sub>、RuO<sub>2</sub>)が用いられる。配線層6、10としては微細加工の容易さや、SiやSiO<sub>2</sub>との密着性に優れること、低抵抗率であることなどが求められ、たとえばTi、TiN、Alを用いた多層膜が用いられる。Alは微細加工性、耐腐食性、低抵抗率を有するので、配線材として広く用いられる。しかしながら、拡散層においてAlとSiが接触すると、熱処理時にSiがAl中に拡散し、拡散層と半導体基板とのpn接合を破壊する場合がある。そこで、AlとSiの相互拡散を防ぐバリア膜としてTiN膜が

しばしば用いられる。またTiNの下にはTi膜が形成され、たとえば下層から順にTi、TiN、Alの膜が積層された多層膜とすることが行われている。これは、TiNはSiやSiO<sub>2</sub>との密着性に劣り、Siとの接触抵抗が高いためである。

【0013】また配線層10のAl層と下部電極3及び上部電極5に用いられる貴金属(たとえばPt)の間も良好な電気的接続を達成することが必要である。そのため、例えば特開平6-120072にはAl膜とPt膜の間にTiを主成分とするバリア層を設ける技術が述べられている。

【0014】次に、図25に示される従来例の強誘電体メモリセルの製造方法を図面を参照して説明する。図27(a)から(c)は、従来例のメモリセルの製造工程における断面図を示している。

【0015】メモリセルトランジスタTr等の半導体集積回路が埋め込まれたシリコン基板1上に形成された層間絶縁膜上に下部電極3、強誘電体膜4および上部電極5からなる強誘電体容量素子Cfが形成される。この上に保護膜を形成する(図27(a))。

【0016】次に図27(b)に示すように、容量素子Cfの上部電極3と電界効果トランジスタの拡散層8に通じるコンタクトホール21と22を形成する。

【0017】続いて図27(c)に示すように、電界効果トランジスタの一方の拡散層と容量素子の上部電極を電気的に接続する配線層10とビット線6を形成する。その後、300℃を越える温度で熱処理を行う。この熱処理は、トランジスタTrのコンタクト抵抗の低減およびしきい値電圧の安定化等のために必須のプロセスである。

【0018】

【発明が解決しようとする課題】

【0019】ところが上記熱処理を行うと強誘電体膜の残留分極値が著しく減少し、不揮発性メモリとしての記憶保持特性、データ書き換え寿命を著しく劣化させるといった問題があった。この原因についてはまだ解明ではないが、配線材を構成するチタン等が強誘電体膜にまで拡散し、強誘電体膜と反応すること、あるいは配線材が引き起こす熱応力によって強誘電体膜の分極特性が変化すること等が原因として考えられる。

【0020】また図22乃至24に示される構造を有するメモリセルの上に保護膜を形成する際にも同様の問題が発生する。すなわち、従来行われているように、300℃から400℃程度の基板温度でプラズマCVD法により窒化シリコン膜(Si<sub>3</sub>N<sub>4</sub>)が形成される際にも、強誘電体容量素子の劣化が生じ、強誘電体メモリ装置としての信頼性が著しく低下する。

【0021】そこで、強誘電体メモリ装置の構造及び強誘電体容量素子の上部電極と下部電極をどのように形成すべきかが問題となっている。

【0022】強誘電体メモリ装置の電極材料として、そ

の構造及び製造方法との関連で種々の材料が用いられている。例えば、特開平2-94571には、ゲート電極が上部電極として用いられ、ゲート電極に電極材料としてタングステン(W)が用いられている。また、特開平2-206869には上部電極と下部電極に、遷移金属を主成分の1つとして含む酸化物導電膜が用いられることが示されている。特開平4-6867には下部電極と拡散層との間に酸化シリコン、窒化シリコンが用いられ、絶縁耐圧を向上させている。この引例では、下部電極は、白金(Pt)からなり、上部電極はポリシリコンからなる。特開平2-232973には拡散層の表面に高融点金属を主成分とするシリサイドが形成され、これが下部電極として使用されている。上部電極はアルミニウム(Al)で形成されている。更に、特開平9-82914号公報には、プラグと下部電極が一体に形成され、バリア層を通してプラグの下部が酸化されて高抵抗化することが防がれる強誘電体メモリ装置が開示されている。この引例では、バリア層はTi、TiN、Pt、Ru、Ir及びこれらを含む合金、Ru、Irの導電性酸化物が用いられている。また、また、下部電極を兼ねるプラグは、Pt、Ru、Ir及びこれらの金属を含む合金、Ru、Irの導電性酸化物が用いられている。上部電極については何も説明がない。また、層間絶縁膜を介して上部電極の上に形成される配線層はアルミニウム合金からなる。

【0023】本発明の目的は、配線層形成後の加熱による強誘電体容量素子の劣化を抑制し、その記憶保持特性、データ書き換え寿命の信頼性を向上することができる強誘電体メモリを提供することを目的とする。

【0024】

【課題を解決するための手段】

【0025】本発明の強誘電体メモリ装置は、半導体基板上に絶縁膜を介して形成された強誘電体容量素子を含み、前記強誘電体容量素子は、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極からなり、前記上部電極は、前記強誘電体膜に接続された第1の金属の導電性酸化物層を含む積層を含むことを特徴とする。

【0026】前記第1の金属はイリジウム(Ir)であり、前記導電性酸化物層は酸化イリジウム(IrO<sub>2</sub>)層であることが望ましい。前記上部電極の前記積層は、前記導電性酸化物層と、イリジウムまたは白金の層を含んでもよい。または、前記配線層と接続される前記上部電極の前記積層の最上層は、イリジウムまたは白金の層であることが望ましい。

【0027】前記上部電極に接続された配線層を有し、前記上部電極の最下層はタングステンまたは金属シリサイド層で形成されていることが望ましい。加えて、前記上部電極から2μm以内の前記配線層の部分の最下層はタングステンまたは金属シリサイド層で形成されていることが望ましい。前記配線層が、前記タングステンまた

は金属シリサイド層の上に積層された窒化チタン層、及びアルミニウムを主成分とする合金層を含み、前記金属シリサイド層がタングステンシリサイド(WSi<sub>x</sub>)であることが望ましい。

【0028】前記強誘電体容量素子の強誘電体膜がPtZrTi<sub>1-x</sub>O<sub>3</sub>またはSrBi<sub>2</sub>(Ta<sub>x</sub>Nb<sub>2-x</sub>)<sub>2</sub>O<sub>9</sub>である。

【0029】本発明の強誘電体メモリ装置の製造方法は、半導体基板上に絶縁膜を介して、下部電極、上部電極、および該上部電極と該下部電極の間に挟まれた強誘電体膜とを含む強誘電体容量素子とを形成する工程と、該強誘電体容量素子上に保護膜を形成する工程と、該保護膜に前記上部電極に通じるコンタクトホールを設ける工程と、該コンタクトホール内および前記保護膜上に金属シリサイド層またはタングステン層を形成する工程とを有することを特徴とする。

【0030】前記金属シリサイド層またはタングステン(W)層を形成する工程の前に、上部電極または下部電極の表面層をエッチングする工程をふくむことが望ましく、前記金属シリサイド層またはタングステン層を形成する工程の後に、アルミニウム、チタンまたは窒化チタンを主成分とする配線層を形成することが望ましい。

【0031】

【発明の実施の形態】次に本発明の強誘電体メモリ装置を図面を参照して説明する。

【0032】本発明の第1の実施の形態による強誘電体メモリ装置の第1の実施の形態の平面図を図1に、図1における線a-a'に沿った断面図を図2に、図1における線b-b'に沿った断面図を図3にそれぞれ示す。

【0033】この強誘電体メモリ装置は半導体基板1と、半導体基板1上に設けられた強誘電体容量素子CfおよびメモリセルトランジスタTrと、強誘電体容量素子Cf上に設けられたSiO<sub>2</sub>等の保護膜9とを有する。

【0034】強誘電体容量素子Cfは、下部電極3、上部電極5およびこれらに挟まれた強誘電体膜4を含んでいる。保護膜9には上部電極5に通じるコンタクトホールが設けられ、このコンタクトホールを通して強誘電体容量素子とメモリセルトランジスタTrとが配線層10によって電気的に接続されている。本実施の形態におけるビット線は、図1、図2に示すように、配線層6によって形成される。

【0035】本実施の形態におけるビット線としての配線層6と上部電極5に接続された配線層10は、タングステンシリサイド(WSi<sub>x</sub>)等の金属シリサイド層、または金属シリサイド層の上にアルミニウム(Al)または窒化チタン(TiN)を主体としてなる材料を積層した構造を有する。または、配線層6、10は、タングステン(W)、またはタングステン(W)の上にアルミニウム(Al)または窒化チタン(TiN)を主体とし

てなる材料を積層した構造を有する。

【0036】前記のように、強誘電体容量素子Cfの上部電極5と、配線層10とは、求められる性質が異なるため、同一の材料を用いることはできない。上部電極5と配線層10との界面の安定化を図り、かつ良好な容量特性を得るためには、上部電極5は、 $\text{IrO}_2$ 、Irを主体として構成することが好ましい。配線層10の金属シリサイドとしては $\text{WSi}_x$ が配線層形成後の加熱による強誘電体容量素子Cfの劣化を抑制でき、また $\text{SiO}_2$ との密着性やSiとの接触抵抗を低減できるため好ましい。また低抵抗率であるAlを配線層として利用するために、TiNをAlとSiの間のバリア膜として用い、 $\text{WSi}_x$ をTiNの下層に用いる構造、すなわち下層から $\text{WSi}_x$ 、TiN、Al、TiNとする配線構造が好ましい。最上層のTiNは反射防止膜である。上部電極5と配線層10をこのような組合せとすることによって、配線層6、10の形成後の加熱による強誘電体容量素子Cfの劣化を抑制できる。

【0037】次に本実施の形態の強誘電体メモリ装置の製造方法において、図4に示す工程断面図を用いて説明する。

【0038】通常MOSトランジスタの製造工程と同様の工程によりメモリセルトランジスタTrを形成した後に、第1層間絶縁膜としてシリコン酸化膜9-1を形成する(図4(a))。

【0039】この後強誘電体容量素子Cfを以下の方法で形成する。まずシリコン酸化膜9-1上に下部電極3を形成し、その上に強誘電体膜4を形成する。下部電極3に用いられる材料としては、Pt、Ir、Ru等の貴金属、あるいは $\text{IrO}_2$ 、 $\text{RuO}_2$ 等の導電性酸化物があげられ、通常スパッタリング法により形成される。強誘電体膜としては、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ または $\text{SrBi}_2\text{Ta}_2\text{O}_9$ が常温で強誘電体メモリ装置としての動作に必要な残留分極が得られるため好ましく、スパッタリング法、ゾル・ゲル法、CVD法等により形成される(図4(b))。その後、容量素子Cfの上部電極5をスパッタリング法等により形成する(図4(c))。

【0040】次に、シリコン酸化膜などの絶縁膜を堆積させて保護膜9を完成した後、上部電極5、下部電極3に通じるコンタクトホール21を形成し(図5(a))、さらに拡散層に通じるコンタクトホールを形成する(図5(b))。

【0041】次いで配線層10として、金属シリサイド層またはタングステン(W)をスパッタリング法、CVD法等により形成した後、パターニングを行う。あるいは金属シリサイド層またはタングステン(W)の上に、アルミニウム(Al)または窒化チタン(TiN)を主体となる材料をスパッタリング法、CVD法等により積層形成した後、パターニングを行う。このとき、配線層6も同時に形成されてよい。その後、前記したよ

うにMOSトランジスタTrの特性確保のため300℃以上500℃以下でアニールを行う。

【0042】本発明の第2の実施の形態による強誘電体メモリ装置の断面図を図21に示す。本実施の形態では、強誘電体容量の下部電極3がポリシリコンプラグ16を通じて拡散層8に接続されており、上部電極5はプレート線として動作する配線層10に接続されている。配線層10は金属シリサイド層11とAl、TiN等を積層した層12からなる。金属シリサイド層としては $\text{WSi}_x$ が配線層6の形成後の加熱による強誘電体容量素子の劣化を抑制でき、また $\text{SiO}_2$ との密着性やSiとの接触抵抗を低減できるため好ましく、上部電極5としてはIr、または下層から $\text{IrO}_2$ 、IrまたはPtを積層した構造とすることにより上部電極5と配線層10の間に安定な界面を形成することができ、かつ良好な容量特性が得られるために好ましい。

【0043】このような実施の形態とすることにより、配線層10を形成した後に熱処理を行っても、容量特性が劣化することはない。また第1の実施の形態に比べ、セル面積を縮小することができ、またプレート線として抵抗の低いAl等をもちいることができるため動作速度を早くできる。

【0044】以下、本発明の強誘電体メモリ装置をよりさらに説明する。しかしながら、本発明はこれらに限定されるものではない。

【0045】図1は本発明の第1の実施形態による強誘電体メモリ装置を示す平面図であり、図2は、図1の線a-a'に沿った断面図を示し、図3は図1の線b-b'に沿った断面図を示す。

【0046】半導体基板上に作り込まれた電界効果トランジスタTr上に形成された層間絶縁膜9の上に下部電極3として下層からTi、Pt、強誘電体膜4としてPZT、上部電極5として下層から順に $\text{IrO}_2$ 、Irを有する強誘電体容量素子Cfが形成されている。 $\text{IrO}_2$ 上にIrを積層しているのは、上部電極5に接する配線材が $\text{IrO}_2$ によって酸化されて上部電極5と配線層10との接触抵抗が増大するのを防止するためである。

【0047】電界効果トランジスタTrと強誘電体容量素子Cfを電気的に接続するため、およびビット線を形成するために、電界効果トランジスタの拡散層8と強誘電体容量素子Cfの上部電極5に通じるコンタクトホールが形成されている。電界効果トランジスタTrの一方の拡散層8と強誘電体容量素子Cfの上部電極5とは、前記コンタクトホールを通して配線層10によって電気的に接続されている。また電界効果トランジスタTrの他方の拡散層8はビット線に接続されている。配線層6はビット線も構成する。

【0048】配線層10は、下層から順に $\text{WSi}_{2.4}$ 、TiN、Al、TiNが用いられている。下層から2番目のTiNはAlとSiとの相互拡散を防ぐためのバリ

ア膜で、 $\text{WSi}_{2.4}$ は $\text{SiO}_2$ との密着性に優れ、 $\text{Si}$ との接触抵抗を低減できる利点を有する。最上層の $\text{TiN}$ は反射防止膜である。本実施例における強誘電体メモリ装置の製造方法を図4を参照しながら説明する。

【0049】従来のLSI (Large Scale Integrated Circuit) の製造プロセスに従って、p型半導体基板上にゲート電極、拡散層等からなる電界効果トランジスタ $\text{Tr}$ を作製し、半導体基板上全体にLPCVD (Low Pressure Chemical Vapor Deposition) 法によって $\text{SiO}_2$ 膜を堆積したのち、CMP (Chemical Mechanical Polishing) 法によって半導体基板表面を平坦化する(図4(a))。

【0050】下部電極3と下地 $\text{SiO}_2$ との密着層として膜厚20nmの $\text{Ti}$ 、下部電極3として膜厚200nmの $\text{Pt}$ をDCスパッタリング法によって成膜する。その後、ゾルゲル法によって厚さ300nmのPZT膜4を形成する。PZT膜の出発原料としては、 $\text{Pb}(\text{CH}_3\text{COO})_2$ 、 $\text{Zr}(\text{OC}_2\text{H}_5)_4$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ の混合溶液を用いた。混合溶液の $\text{Pb}:\text{Zr}:\text{Ti}$ のモル(mol)比は1.15=0.53:0.47で、混合溶液中の $\text{Pb}$ の濃度は0.6mol/lである。この混合溶液を $\text{Pt}$ 上にスピコートした後、窒素雰囲気中で250℃で15分間乾燥させ、さらに酸素雰囲気中で600℃で10分間焼成を行う。スピコートから焼成までを3回繰り返すことで厚さ300nmのPZT膜を形成できる。その後、フォトリソistをマスクとして、下部電極3のパターンにPZT/Pt/Ti(下層から順にTi、Pt、PZTが積層していること)を示す。以下、同様)を加工する(図4(b))。

【0051】その後、膜厚150nmの $\text{IrO}_2$ 、膜厚50nmの $\text{Ir}$ を順に堆積し、フォトリソistをマスクとして、上部電極5のパターンに $\text{Ir}/\text{IrO}_2$ を加工する(図4(c))。

【0052】次に $\text{O}_3$ -TEOS CVD法によって保護膜9の一部として半導体基板全面に厚さ400nmの $\text{SiO}_2$ 膜を堆積させ、強誘電体容量素子の上部電極5、および下部電極4に通じるコンタクトホール21を、フォトリソistをマスクとし、 $\text{CF}_4$ をエッチングガスとするRIE (Reactive Ion Etching) 法によって形成する(図5(a))。

【0053】コンタクトホール21の形成後、コンタクトホールエッチング時に強誘電体容量素子 $\text{Cf}$ に加わったダメージを除去するため、酸素雰囲気中で600℃で10分間アニールする。続いてトランジスタ $\text{Tr}$ の拡散層8に通じるコンタクトホール22を、 $\text{CHF}_3$ をエッチングガスとするRIE法で形成する(図5(b))。

【0054】その後、配線層6として下層から厚さ50nmの $\text{WSi}_{2.4}$ をDCスパッタリング法で堆積させ

る。上部電極5として形成した $\text{Ir}$ は酸素雰囲気中で600℃程度でアニールしてもほとんど酸化されないが、 $\text{Ir}$ の表面がわずかに酸化されている。 $\text{Ir}$ は酸化されても導電体であるため、酸化された $\text{Ir}$ それ自身がコンタクト導通不良の原因とはならないが、配線層6を成膜の際に、上部電極の $\text{Ir}$ 表面がアニールにより酸化されていると、 $\text{Ir}$ に接した $\text{WSi}_{2.4}$ が後工程の熱処理により酸化され、 $\text{Ir}/\text{WSi}_{2.4}$ 界面の抵抗が高くなる問題を生じる。この問題を回避するため $\text{WSi}_{2.4}$ を堆積させる前に $\text{CHF}_3$ 等の反応性ガスによるドライエッチングにより $\text{Ir}$ 表面層をエッチングすることが好ましい。本実施形態の $\text{WSi}_x$ のターゲット組成は $\text{WSi}_{2.7}$ で、堆積させた $\text{WSi}_x$ の組成は、 $\text{WSi}_{2.4}$ である。

【0055】続いて $\text{Ar}$ と $\text{N}_2$ の混合ガスを用いて $\text{Ti}$ の反応性スパッタを行うことで、膜厚100nmの $\text{TiN}$ を堆積させる。さらにその上に膜厚550nmの $\text{Al}$ 、反射防止膜として膜厚30nmの $\text{TiN}$ を堆積させる。続いてフォトリソistをマスクとし、 $\text{Cl}_2$ をエッチングガスとするRIE法によって配線層10を加工する(図5(c))。

【0056】発明者らは、こうして配線層形成までを終えた強誘電体メモリ装置に対し、窒素雰囲気中で400℃で30分間のアニールを行い、アニール前後のPZT容量のスイッチングチャージの変化を観測する実験を行った。スイッチングチャージとは、図6における強誘電体容量素子 $\text{Cf}$ の反転電荷量および非反転電荷量を指す。反転電荷量と非反転電荷量の差である残留分極値が大きいほど、強誘電体メモリ装置の記憶保持特性が優れるため、強誘電体容量素子 $\text{Cf}$ にとって好ましい特性と言える。

【0057】スイッチングチャージは強誘電体容量素子 $\text{Cf}$ の上部電極5と下部電極3の間に図7に示すようなパルス列を印加することで測定した。第1のパルスで強誘電体容量素子の分極状態をBの状態にし、第2のパルスで反転電荷量を測定すると同時に図6のDの状態にしている。そして第3のパルスで非反転電荷量を測定する。印加パルス幅は3 $\mu\text{s}$ 、パルス間隔は1sである。測定に用いたPZT容量 $\text{Cf}$ の上部電極5は縦3 $\mu\text{m}$ 、横3 $\mu\text{m}$ の正方形に加工されており、測定においては雑音の影響を減らすため、同サイズの容量を1000個程度並列にして測定を行った。図8に、ウエハ面内5カ所で測定したPZT容量のアニール前後の反転電荷量と非反転電荷量との差、すなわち残留分極値を縦軸にとって示す。図8に示されるように、残留分極値は、アニール後もアニール前と比較してあまり変化がなく、19 $\mu\text{C}/\text{cm}^2$ 程度の大きな値を示している。また図9はアニール後の上記容量素子の疲労特性を測定した結果である。疲労特性は矩形波を一定サイクル印加し、各サイクル後のスイッチングチャージを測定することにより行った。図9に示すように、アニール後においても疲労特性

は良好であり、 $10^8$ サイクル後における残留分極の減少は初期値と比べて15%以下である。さらにアニール後における配線層10と上部電極5、下部電極3、拡散層8それぞれとのコンタクト抵抗を測定したところ、 $0.8\mu\text{m}$ 角のコンタクトにおけるコンタクト抵抗はすべて $10\Omega$ 以下であり良好であった。一方、本発明のように配線層10を $\text{TiN}/\text{Al}/\text{TiN}/\text{WSi}_2$ とするのではなく、従来のように配線層10を $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ とした構造のPZT容量素子Cfの配線層加工後のアニールを行う前後の残留分極値を縦軸にとり示すと図10のようになる。図10のように、配線層6を $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ とするとアニールによって残留分極値は $1\mu\text{C}/\text{cm}^2$ 未満まで著しく減少し、強誘電体容量素子としての特性劣化が顕著である。

【0058】従来配線を用いた場合におけるこのような劣化の原因についてはまだ明らかではないが、Ti、Al等の配線材料または配線層に含まれる不純物がアニールによってPZT膜にまで拡散し、PZTと化学的に反応し、PZT膜の結晶構造が変化すること、あるいは熱処理中に配線層によって引き起こされる熱応力によって、PZT膜の結晶構造が変化すること等が主に考えられる。従って、本発明における $\text{WSi}_2$ 層は、配線材等の拡散を防ぐ効果、あるいは膜応力を緩和する効果を有すると考えられる。 $\text{WSi}_2$ 層が、配線材等の拡散を防ぐ効果、あるいは膜応力を緩和する効果のいずれを有するにしても、その効果を利用して配線層の形成後のPZT容量分極特性劣化を抑制するためには、 $\text{WSi}_2$ 層は配線層の最下層とする必要がある。発明者らは、配線層10を本発明のように $\text{TiN}/\text{Al}/\text{TiN}/\text{WSi}_2$ とするのではなく、 $\text{TiN}/\text{Al}/\text{TiN}/\text{WSi}_2/\text{Ti}$ としたPZT容量を作成したが、この場合では、図10とほぼ同様に、アニールによって残留分極値は $1\mu\text{C}/\text{cm}^2$ 未満まで著しく減少することを確認している。発明者らは、 $\text{WSi}_2$ 層が有する前記の効果は、強誘電体容量素子の上部電極5の上の領域のみを $\text{WSi}_2$ 層で覆った図11および図12に示す構造の容量でも見られるのではないかと考え、図11および図12に示す構造の強誘電体容量素子を試作した。図11は平面図、図12は図11において線b-b'に沿った断面図である。図11および図12では、PZT容量素子Cfの上部電極5の上の領域にのみ、容量カバー $\text{SiO}_2$ 保護膜を介して $\text{WSi}_2$ 層が存在する。配線層10としては、下層からTi、TiN、Al、TiNを積層している。このような構造は、図13にその製造工程を示すように、 $\text{WSi}_2$ をスパッタリング法で成膜したあと、RIE法でPZT容量の上部電極5と同じパターンに加工してから、下層からTi、TiN、Al、TiNを順に成膜することで形成できる。ところが、この場合のように、配線層10を $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ とす

ると、図14のように、アニールによって残留分極値は $5\mu\text{C}/\text{cm}^2$ 程度にまで減少した。この結果は、容量上のみを $\text{WSi}_2$ 層で覆ったのでは、アニールによるPZT容量の分極特性劣化を抑制するためには不十分な効果しか得られないことを示している。したがって、この劣化原因が配線材等の拡散、あるいは熱処理中の熱応力のいずれによって生じるにしても、容量素子Cfの直上に存在する配線層だけでなく、それ以外の領域に存在する配線層も、PZT容量素子Cfに悪影響を与えると考えられる。発明者らはPZT容量素子の近くに $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ で構成された従来配線が存在した場合に、配線層をPZT容量からどの程度の距離まで離せば、PZT容量分極特性に対するアニールによる配線層の悪影響がなくなるかを調べる目的で、図15および図16のような構造の容量を作成した。図15は平面図、図16は図15において線b-b'に沿った断面図である。強誘電体容量素子Cfの上部電極5の上に存在する配線層13は、 $\text{Ir}(150\text{nm})/\text{IrO}_2(50\text{nm})$ とし、上部電極5と同じ材料で構成しているため、この配線層がアニールによって、PZT容量素子に悪影響を与えることはない。配線層10は $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ で構成され、PZT容量の上部電極5とある距離dだけ離れて存在する。図17にdを横軸にとったときのアニール後のPZT容量素子のアニール後の残留分極値を示す。この図から明らかなように、配線層10を、 $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ で構成された従来配線とすると、PZT容量素子Cfからの距離が $2\mu\text{m}$ 程度以内に存在する配線層10は、アニール後のPZT容量分極特性に顕著な悪影響を及ぼすと考えられる。したがって、PZT容量素子Cfの上部電極5に直接接続される配線層だけではなく、PZT容量素子Cfの上部電極5の近傍( $2\mu\text{m}$ 程度以内)を通る配線層も、従来のように $\text{TiN}/\text{Al}/\text{TiN}/\text{Ti}$ 等で構成するのは不適當であり、最下層を $\text{WSi}_2$ で構成することが望ましい。強誘電体容量素子Cfの上部電極5または下部電極3を金属シリサイドで構成する例は、たとえば特開平2-232973、特開平8-17822号公報等に記載されている。しかし下部電極3を金属シリサイドで構成しても、アニールによる配線層10の材料の拡散が抑制されたり、あるいは配線層10の熱応力を緩和することはないと考えられる。拡散抑制や熱応力緩和のためには、金属シリサイドは、配線層10とPZT容量素子Cfとの間の位置に存在する必要があると考えられるからである。また強誘電体容量素子Cfの上部電極5を、金属シリサイドで構成したとしても、アニールによる配線層の材料の拡散、あるいは熱応力によって引き起こされると推定されるPZT容量分極特性劣化を完全に抑制するのは困難と考えられる。アニールによるPZT容量分極特性の劣化は、前記のように容量素子Cfの直上の配線層部分だけでなく、容量素子Cfから



2 $\mu$ m程度以内の距離に存在する配線層部分の影響も受けるためである。また、下部電極3を金属シリサイドで構成すると、下部電極3上にPZT膜を形成する際に行う酸素雰囲気中のアニールによって、PZT膜/下部電極界面における下部電極材料が酸化され、PZT/下部電極界面に低誘電率の絶縁層が形成されることになり、強誘電体容量としての良好な分極特性を得られなくなる。上部電極5を金属シリサイドで構成すると、上部電極5の形成後に上部電極/PZT膜界面の安定化のための酸素アニールを行うことができない。さらに上部電極に通じるコンタクトホールを形成したときにPZT膜に加わったダメージを除去するための酸素アニールを行うことができなくなる。酸素アニールを行うと、金属シリサイドが酸化され、配線層との導通をとることが困難となるためである。あるいは上部電極/PZT膜の界面に低誘電率の絶縁層が形成されることになり、強誘電体容量としての良好な分極特性を得られなくなるためである。これらのことから、強誘電体容量素子Cfの下部電極3および上部電極5を金属シリサイドで構成するのは不適当であり、すでに述べたように、下部電極3および上部電極5は耐酸化性の貴金属または導電性酸化物で構成することが望ましい。一方、配線層10を本発明のようにTiN/Al/TiN/WSi<sub>x</sub>としても、上部電極5を本発明のようにIr/IrO<sub>2</sub>とするのではなく、従来のように上部電極5をPtのみで構成した構造のPZT容量素子Cfを形成すると、図18に示すようにアニール後のPZT容量特性劣化が著しく、残留分極値は1 $\mu$ C/cm<sup>2</sup>未満まで減少する。ただし、PtをIrO<sub>2</sub>またはIrとともに積層して上部電極5を構成するのは問題がない。したがって、アニールによる劣化原因と考えられる配線材の拡散あるいは熱応力等は、本発明のように、上部電極をIrまたはIrO<sub>2</sub>を主体とした材料で構成し、強誘電体容量に接続される配線層10および強誘電体容量素子Cfに近い場所に存在する配線層10部分の最下層をWSi<sub>x</sub>によって構成することによって効果的に抑制できる。本発明の第2の実施形態による強誘電体メモリ装置を図面を参照して説明する。本実施形態では図3における配線層10をTiN(30nm)/Al(50nm)/TiN(100nm)/W(50nm)としている。第1の実施形態と同様に形成した強誘電体容量Cfに対し、配線加工後およびアニール後のスイッチングチャージを測定した。図19はウェハー面内5カ所の容量について測定した結果をプロットしたものである。図19に示すように、配線層10の最下層をWとしてもアニール後の残留分極値は17 $\mu$ C/cm<sup>2</sup>程度を維持しており、PZT容量分極特性の劣化は小さい。次に、本発明の第3の実施形態による強誘電体メモリ装置を図面を参照して説明する。本実施形態では図3における配線層10として厚さ200nmのWSi<sub>2.5</sub>を用いた。第1の実施形態と同様に

強誘電体容量を加工後、コンタクトホール21を形成する。その後DCスパッタリング法によりWSi<sub>2.5</sub>を堆積し、RIE法によりパターニングを行う。この上に保護層としてプラズマCVD法により厚さ1 $\mu$ mのSiON膜を堆積する。その後、さらに窒素雰囲気中で400℃で30分間のアニールを行う。このようにして形成した強誘電体容量素子Cfに対し、WSi加工後及びアニール後のスイッチングチャージを測定した。

【0059】図20はウェハー面内5カ所の容量について測定した結果をプロットしたものである。保護層形成およびアニールを行っても残留分極の劣化はまったく見られず、面内ばらつきも減少した。

【発明の効果】 本発明の第1の効果は、強誘電体メモリ装置の信頼性向上である。その理由は、配線層形成後、電界効果トランジスタTrのしきい値ばらつきの低減のために行う熱処理や、配線上の保護膜形成のための加熱工程で、配線材の上部電極中への拡散あるいは配線層の熱応力によって引き起こされる強誘電体容量素子の残留分極値の低下が抑制されるため、データ書き換え寿命や記憶保持特性が向上するからである。本発明の第2の効果は、強誘電体メモリ装置の製造における歩留まりの向上である。強誘電体容量素子Cfの残留分極値が高くなるため、データ読み出し時の読み出しマージンが大きくなるからである。

【0060】

【図面の簡単な説明】

【図1】図1は、本発明による強誘電体メモリセルの構造を示す平面図である。

【図2】図2は、図1の線a-a'に沿った断面図である。

【図3】図3は、図1の線b-b'に沿った断面図である。

【図4】図4(a)~(c)は、本発明による強誘電体メモリ装置の製造方法の工程を示す断面図である。

【図5】図5(a)~(c)は、本発明による強誘電体メモリ装置の製造方法の工程を示す断面図である。

【図6】図6は、強誘電体の分極特性を示すグラフである。

【図7】図7は、強誘電体の分極特性の測定実験に用いた電圧パルス列を示す図である。

【図8】図8は、本発明の実施形態による強誘電体メモリ装置のアニール前後の特性の変化を示す図である。

【図9】図9は、本発明の実施形態による強誘電体メモリ装置の劣化を示す図である。

【図10】図9は、従来例における強誘電体メモリ装置のアニール前後の特性の変化を示す図である。

【図11】図11は、本発明の実施形態による強誘電体メモリ装置の効果を説明するための強誘電体メモリ装置の例を示す平面図である。

【図12】図12は、図11の線b-b'に沿った断面

図である。

【図13】図13(a)～(c)は、図11の強誘電体メモリの製造工程を示す断面図である。

【図14】図14は、図11のアニール前後の特性の変化を示す図である。

【図15】図15は、強誘電体メモリの他の例を示す断面図である。

【図16】図16は、図15の線b-b'に沿った断面図である。

【図17】図17は、図15の強誘電体メモリにおける実測データを示すグラフである。

【図18】図18は、図11のアニール前後の特性の変化を示す図である。

【図19】図19は、本発明による強誘電体メモリにおける実測データを示すグラフである。

【図20】図20は、本発明による実施例の他の実測データを示すグラフである。

【図21】図21は、本発明による具体例を示す断面図である。

【図22】図22は、従来の強誘電体メモリセルを示す平面図である。

【図23】図23は、図22の線a-a'に沿った断面図である。

【図24】図24は、図22の線b-b'に沿った断面図である。

【図25】図25は、図22の強誘電体メモリ装置の等

価回路を示す回路図である。

【図26】図26は、強誘電体の分極特性を示すグラフである。

【図27】図27(a)～(c)は、従来の強誘電体メモリセルの製造方法の工程を示す断面である。

【符号の説明】

Tr: セルトランジスタ

BL: ビット線

PL: プレート線

WL: ワード線

MC: メモリセル

Cf: 強誘電体容量素子

1: p型Si基板

2: フィールドSiO<sub>2</sub>

3: 下部電極

4: 強誘電体膜

5: 上部電極

6、10: 配線層

7: ゲート電極 (ワード線)

8: 拡散層

9: 保護膜 (SiO<sub>2</sub>膜)

16: ホリシリコンプラグ

11: 金属シリサイド層 (膜)

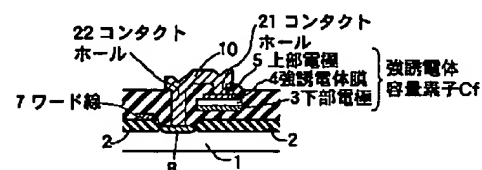
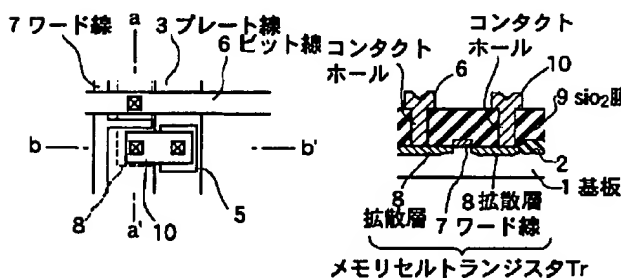
12: Al, TiN等の層

21, 22: コンタクトホール

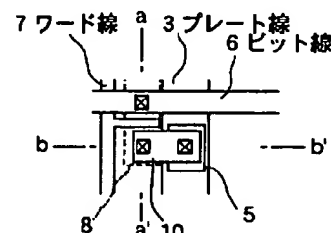
【図1】

【図2】

【図3】

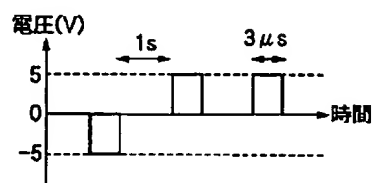
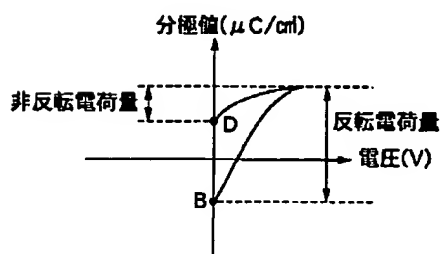


【図11】

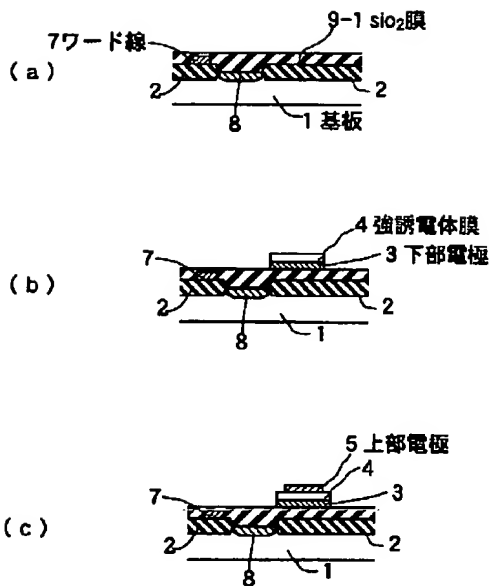


【図6】

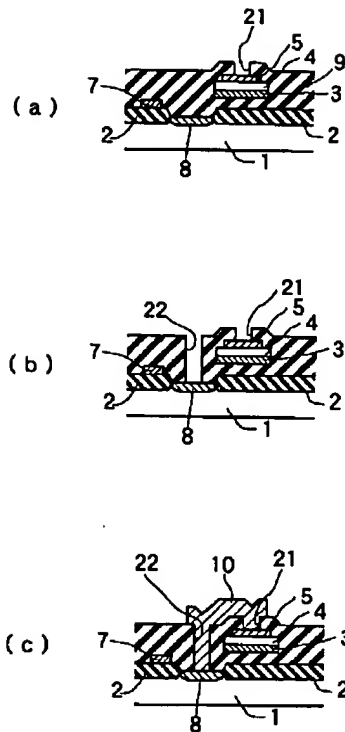
【図7】



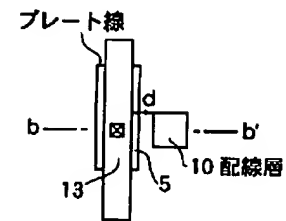
【図4】



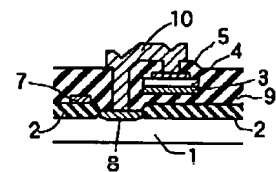
【図5】



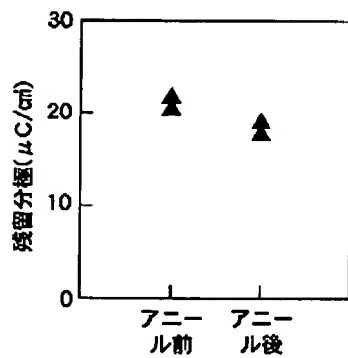
【図15】



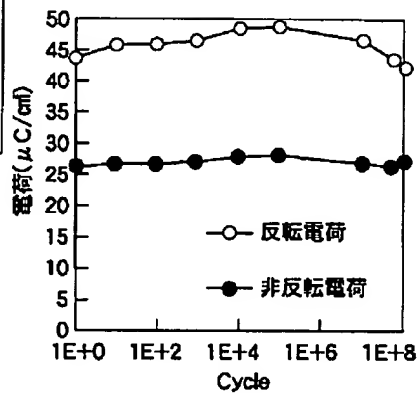
【図24】



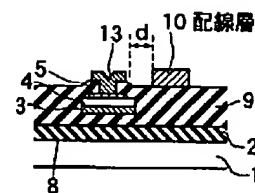
【図8】



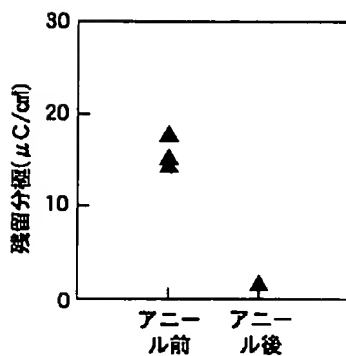
【図9】



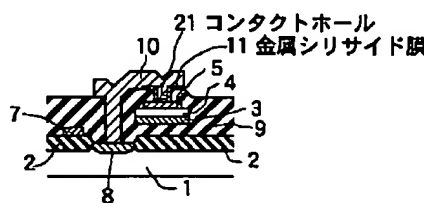
【図16】



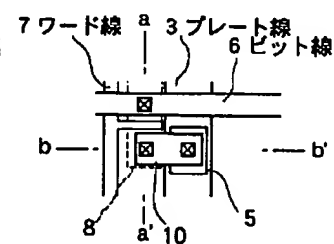
【図10】



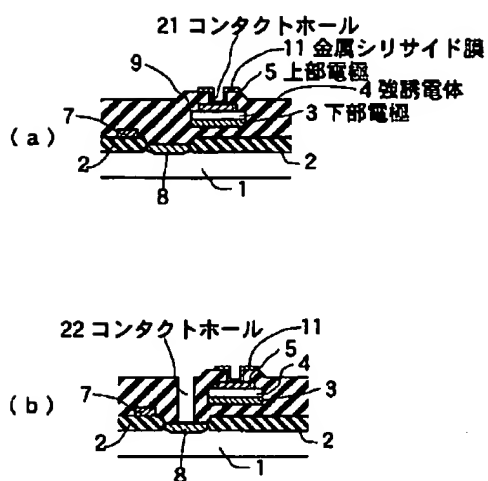
【図12】



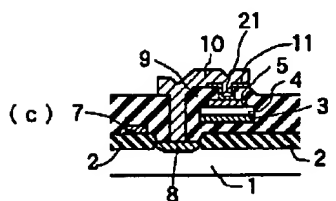
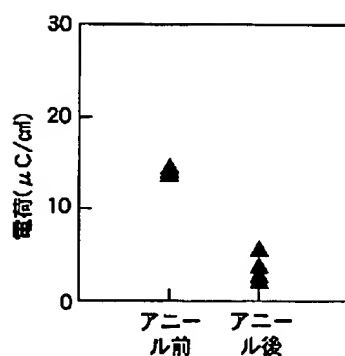
【図22】



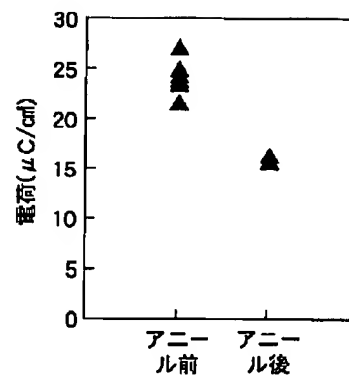
【図13】



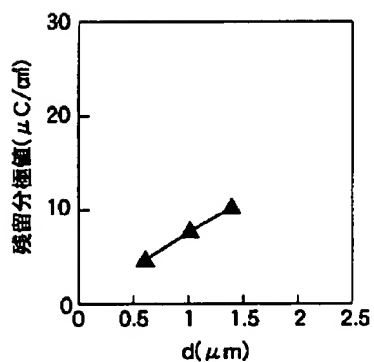
【図14】



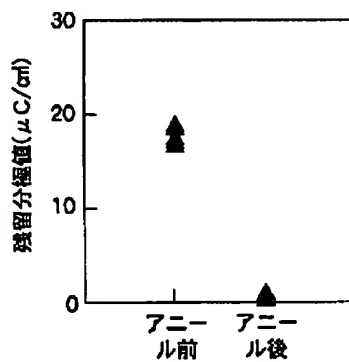
【図19】



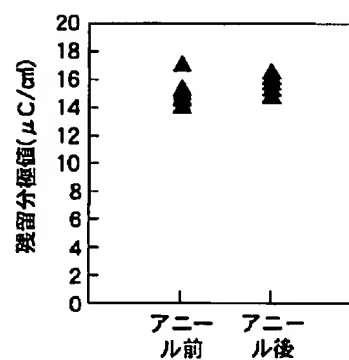
【図17】



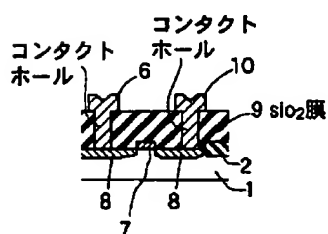
【図18】



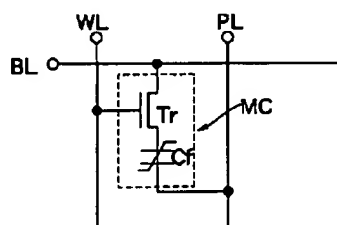
【図20】



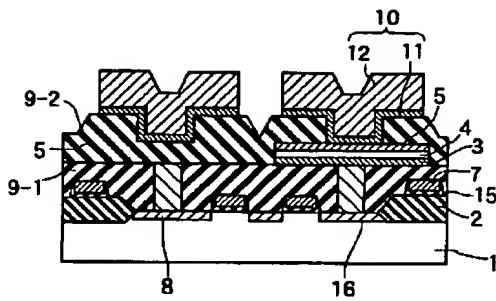
【図23】



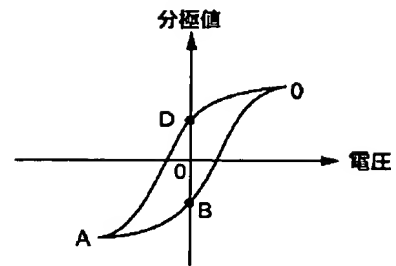
【図25】



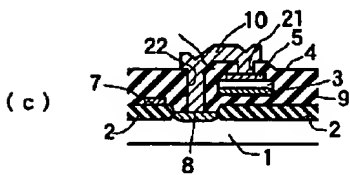
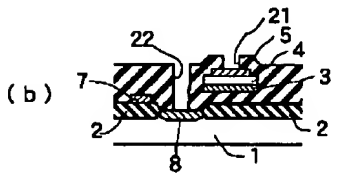
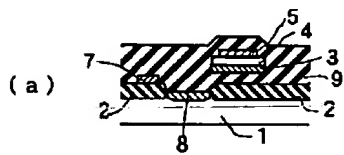
【図21】



【図26】



【図27】



【手続補正書】

【提出日】平成10年4月17日

【手続補正1】

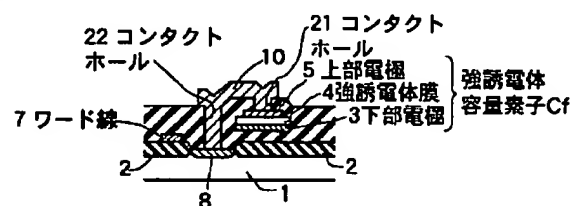
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



## フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8247

29/788

29/792

(72)発明者 加藤 有光

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

(72)発明者 竹内 常雄

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

(72)発明者 林 喜宏

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内